BÀI 2

CỔNG LÔGIC (2)

ĐỊNH NGHĨA – ĐẶC TRƯNG

|  |  |
| --- | --- |
| **1. Các đặc trưng của cổng logic - TTL** | |
| **2. Đo mức thế ngưỡng hoạt động lối vào của cổng logic TTL** |  |
| *Bảng D2-1* | Ghi kết quả vào bảng D2-1.  Lặp lại thí nghiệm với IC2 và IC3. Ghi kết quả vào bảng D2-1.   |  |  |  |  | | --- | --- | --- | --- | |  | IC1/a | IC2/a | IC3/a | | Vaul |  |  |  | | Vall |  |  |  | |
| *Câu hỏi 1* | Trên cơ sở thế ngưỡng đo được, hãy chọn khoảng thế vào cho các mức logic cao (1) và thấp (0) để đảm bảo sự làm việc ổn định của cổng logic hai trạng thái |
| **1.2. Các cổng logic** | |
| **2. Khảo sát nguyên lý hoạt động của cổng đảo** |  |
| *Bảng D1-2* | Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-2:   |  |  |  | | --- | --- | --- | | **Công tắc LS8** | **Lối vào A** | **Lối ra C** | | 1 | 1 |  | | 0 | 0 |  | | Lối vào IC1/a bỏ lửng |  |  | |
| *Câu hỏi 2* | Định nghĩa về cổng đảo:  Viết công thức đại số logic cho cổng đảo:  Nhận xét trường hợp lối vào bỏ lửng tương ứng với trạng thái nào của lối vào? |
| **3. Khảo sát nguyên lý hoạt động của cổng không đảo với collector hở (O.C. Open collector)** |  |
| *Bảng D1-3* | Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-3:   |  |  |  | | --- | --- | --- | | **Công tắc LS8** | **Lối vào A** | **Lối ra C** | | 1 | 1 |  | | 0 | 0 |  | | Lối vào IC2/a bỏ lửng | 0 |  | |
| *Câu hỏi 3* | Định nghĩa về cổng không đảo:  Viết công thức đại số logic cho cổng đảo:  Nhận xét trường hợp lối vào bỏ lửng tương ứng với trạng thái nào của lối vào? |
| **4. Khảo sát nguyên lý hoạt động của cổng “KHÔNG VÀ” có hai lối vào (2-Input NAND)** |  |
| *Bảng D1-4* | Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-4:   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **LS7** | **LS8** | **Lối vào A** | **Lối vào B** | **Lối ra C** | | 1 | 1 | 1 | 1 |  | | 1 | 0 | 1 | 0 |  | | 0 | 1 | 0 | 1 |  | | 0 | 0 | 0 | 0 |  | |
| *Câu hỏi 4* | Định nghĩa về cổng NAND:  Viết biểu thức logic cho cổng NAND:  Nhận xét trường hợp lối ra khi một trong hai lối vào thấp (0), để kết luận cổng NAND có làm việc theo kiểu “HOẶC ĐẢO” (NOR) với mức logic 0 hay không? |
| **5. Khảo sát nguyên lý hoạt động của cổng “NAND” có hai lối vào với lối ra collector hở (2-Input open collector NAND)** |  |
| *Bảng D1-5* | Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-5:   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **LS7** | **LS8** | **Lối vào A** | **Lối vào B** | **Lối ra C** | | 1 | 1 | 1 | 1 |  | | 1 | 0 | 1 | 0 |  | | 0 | 1 | 0 | 1 |  | | 0 | 0 | 0 | 0 |  | |
| *Câu hỏi 5* | So sánh kết quả trong D1-5 với bảng chân lý D1-4 của cổng NAND trong mục 4. |
| **6. Khảo sát nguyên lý hoạt động của cổng “HOẶC” có hai lối vào (2-Input OR)** |  |
| *Bảng D1-6* | Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-6:   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **LS7** | **LS8** | **Lối vào A** | **Lối vào B** | **Lối ra C** | | 1 | 1 | 1 | 1 |  | | 1 | 0 | 1 | 0 |  | | 0 | 1 | 0 | 1 |  | | 0 | 0 | 0 | 0 |  | |
| *Câu hỏi 6* | Định nghĩa về cổng OR:  Viết biểu thức logic cho cổng OR:  Nhận xét trường hợp lối ra khi một trong hai lối vào thấp (0), để kết luận cổng OR có làm việc theo kiểu “VÀ” (AND) với mức logic 0 hay không? |
| **7. Khảo sát nguyên lý hoạt động của cổng “HOẶC – LOẠI TRỪ” có hai lối vào (2- Input XOR)** |  |
| *Bảng D1-7* | Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-7:   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **LS7** | **LS8** | **Lối vào A** | **Lối vào B** | **Lối ra C** | | 1 | 1 | 1 | 1 |  | | 1 | 0 | 1 | 0 |  | | 0 | 1 | 0 | 1 |  | | 0 | 0 | 0 | 0 |  | |
| *Câu hỏi 7* | Định nghĩa về cổng XOR:  Viết biểu thức logic cho cổng XOR: |
| *Câu hỏi 8* | Bằng lý luận, dựa trên kết quả thí nghiệm với cổng có hai lối vào, lập bảng chân lý và viết biểu thức đại số logic cho:   * Cổng AND 2 lối vào * Cổng NAND 4 lối vào * Cổng OR 3 lối vào |
| **2. Phân loại cổng logic** |  |
| *Bảng D1-8* | Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-8:   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **LS7** | **LS8** | **Lối vào A** | **Lối vào B** | **Lối ra C** | | 1 | 1 | 1 | 1 |  | | 1 | 0 | 1 | 0 |  | | 0 | 1 | 0 | 1 |  | | 0 | 0 | 0 | 0 |  | |
| *Câu hỏi 9* | Theo kết quả bảng chân lý D1-8 và cấu trúc sơ đồ DL AND, giải thích nguyên tắc hoạt động của cổng AND loại DL. Phân tích ưu nhược điểm của sơ đồ. |
| **3. Cổng NAND loại Resistor – Transistor Logic (RTL)** |  |
| *Bảng D1-9* | Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-9:   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **LS7** | **LS8** | **Lối vào A** | **Lối vào B** | **Lối ra C** | | 1 | 1 | 1 | 1 |  | | 1 | 0 | 1 | 0 |  | | 0 | 1 | 0 | 1 |  | | 0 | 0 | 0 | 0 |  | |
| *Câu hỏi 10* | Theo kết quả bảng chân lý D1-9 và cấu trúc sơ đồ RTL, giải thích nguyên tắc hoạt động của cổng NAND loại RTL. Chú ý transistor làm việc ở chế độ khóa (đóng và mở bão hòa hoặc gần bão hòa). Phân tích ưu nhược điểm của sơ đồ. |
| **4. Cổng NAND loại Diode – Transistor Logic (DTL)** |  |
| *Bảng D1-10* | Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-10:   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **LS7** | **LS8** | **Lối vào A** | **Lối vào B** | **Lối ra C** | | 1 | 1 | 1 | 1 |  | | 1 | 0 | 1 | 0 |  | | 0 | 1 | 0 | 1 |  | | 0 | 0 | 0 | 0 |  | |
| *Câu hỏi 11* | Theo kết quả bảng chân lý D1-10 và cấu trúc sơ đồ DTL, giải thích nguyên tắc hoạt động của cổng NAND loại DTL. Chú ý transistor làm việc ở chế độ khóa (đóng và mở bão hòa hoặc gần bão hòa). Phân tích ưu nhược điểm của sơ đồ. |
| **5. Cổng NAND loại Transistor – Transistor Logic (TTL)** |  |
| *Bảng D1-11* | Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-11:   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **LS7** | **LS8** | **Lối vào A** | **Lối vào B** | **Lối ra C** | | 1 | 1 | 1 | 1 |  | | 1 | 0 | 1 | 0 |  | | 0 | 1 | 0 | 1 |  | | 0 | 0 | 0 | 0 |  | |
| *Câu hỏi 12* | Theo kết quả bảng chân lý D1-11 và cấu trúc sơ đồ TTL, giải thích nguyên tắc hoạt động của cổng NAND loại TTL. Chú ý transistor làm việc ở chế độ khóa (đóng và mở bão hòa hoặc gần bão hòa). Phân tích ưu nhược điểm của sơ đồ. |
| **6. Cổng NAND collector hở** |  |
| *Bảng D1-12* | Xác định trạng thái lối ra theo bảng chân lý D1-12 khi nối và không nối J1.   |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **LS7** | **LS8** | **Lối vào A** | **Lối vào B** | **C (Nối J1)** | **C (Không nối J1)** | | 1 | 1 | 1 | 1 |  |  | | 1 | 0 | 1 | 0 |  |  | | 0 | 1 | 0 | 1 |  |  | | 0 | 0 | 0 | 0 |  |  | |
| **3. Cổng CMOS** |  |
| *Bảng D1-13* | Ghi trạng thái lối ra theo trạng thái lối vào của cổng vào bảng chân lý D1-13:   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **DS1** | **DS2** | **Lối vào A** | **Lối vào B** | **Lối ra C** | | 1 | 1 | 1 | 1 |  | | 1 | 0 | 1 | 0 |  | | 0 | 1 | 0 | 1 |  | | 0 | 0 | 0 | 0 |  | |
| *Câu hỏi 13* | So sánh trạng thái logic với cổng NAND – TTL (Bảng 1-4, mục 4.1). |
| **4. Bộ chuyển đổi mức TTL – CMOS & CMOS - TTL** |  |
| *Bảng D1-14* | Ghi giá trị thế đo bằng đồng hồ vào bảng D1-14. Ở hàng trạng thái ghi kết luận là trạng thái CMOS hay TTL.   |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | **Công tắc LS1** | **V(A)** | **V(B)** | **V(C-D)** | **V(E)** | **V(F)** | | 1 |  |  |  |  |  | | 0 |  |  |  |  |  | | Trạng thái |  |  |  |  |  | |